Aula 13

A Lógica Acoplada pelo Emissor - ECL

A lógica acoplada pelo emissor (*emitter coupled logic – ECL)* é a família de circuitos lógicos mais rápida. A alta velocidade é o obtida pela operação de todos os transistores fora da região de saturação, evitando, portanto, atrasos devidos a cargas acumuladas e pela manutenção do sinal lógico com excursão relativamente baixa (em torno de 0,8 V ou menos), reduzindo, assim, o tempo necessário para a carga e descarga das várias capacitâncias envolvidas (parasitas e de carga). A saturação na *ECL* é evitada pelo uso de um par diferencial de transistores bipolar como uma chave de corrente. (Estudar o capítulo 7 do Sedra – somente a parte que trata de amplificador diferencial bipolar)

Antes de apresentar as famílias *ECL*, faremos aqui um rápido resumo da operação de um par diferencial.

O par diferencial (amplificador diferencial)

A principal função desta configuração é amplificar a diferença (e somente a diferença) de dois sinais de entrada. Esta configuração é largamente utilizada em projetos de circuitos integrados analógicos e digitais.

A figura A.12.1 mostra a configuração de um par diferencial utilizando transistores bipolares. Esta consiste de dois transistores de entrada, uma fonte de corrente que polariza este par e dois resistores de carga.

Esta configuração permite que dois transitores do mesmo tipo sejam conectados de tal forma que uma tensão difenrencial ou não na saída seja proporcional a diferença de duas tensões aplicadas.

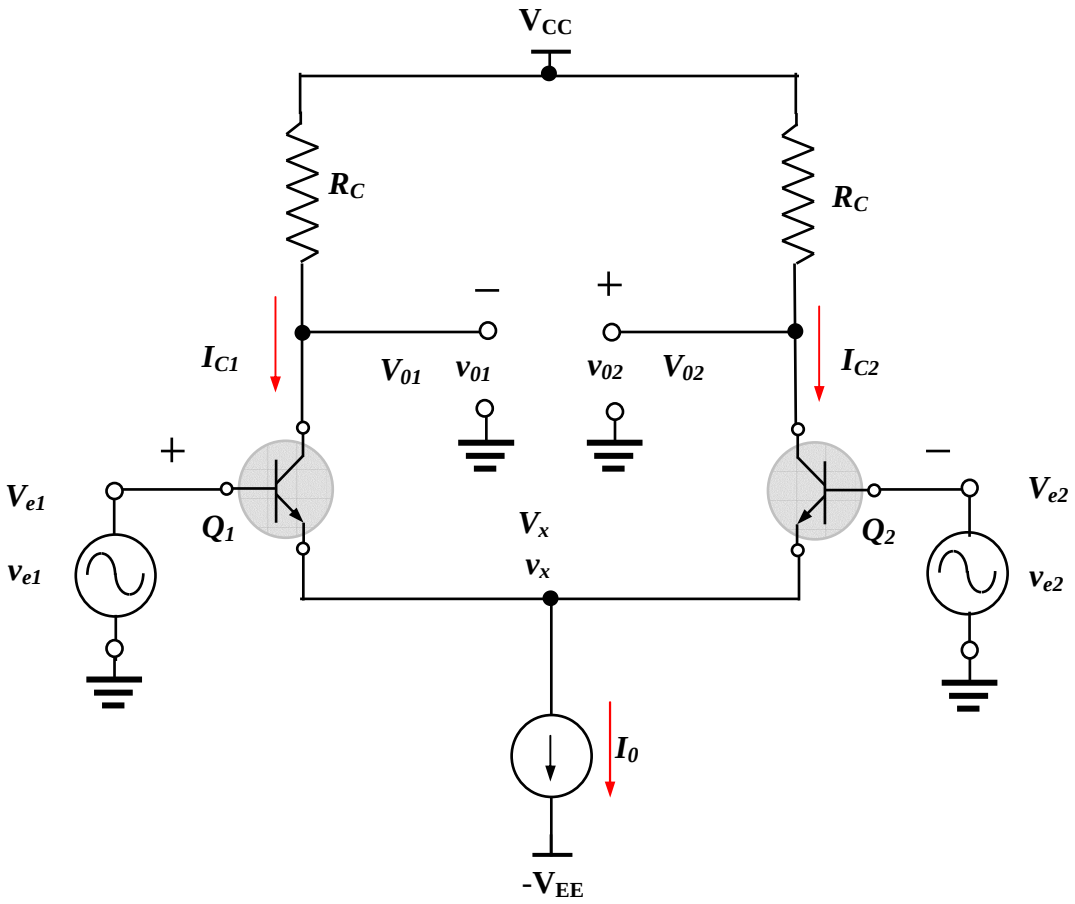

Figura A.13.1 Configuração do par diferencial bipolar

Antes de analisarmos esta configuração vamos definir alguns conceitos. A principal característica do amplificador diferencial e a sua capacidade de amplificar a diferença dos sinais de entrada sem amplificar o sinal de modo comum. Estes sinais são definidos abaixo.

Sinal diferencial de entrada $\equiv \Delta Ve = v_{ed} = v_{e1} - v_{e2}$

Sinal de modo comum de entrada $\equiv v_{ec} = (v_{e1}+v_{e2})/2$

Sinal diferencial de saída $\equiv \Delta V_0 = v_{0d} = v_{01} - v_{02}$

Sinal de modo comum de saída $\equiv v_{0c} = (v_{01}+v_{02})/2$

Estes sinais são relacionados entre si pelos seguintes parâmetros.

Ganho diferencial $\equiv A_d = v_{0d} / v_{ed}$

Ganho de modo comum $\equiv A_c = v_{0c} / v_{0d}$

Razão de rejeição de modo comum $\equiv CMRR = /A_d/A_c/$

Existem outros parâmetros que relacionam as entradas, diferencial e modo comum com as saídas, diferencial e modo comum. Como por exemplo, o ganho diferencial-comum ($A_{dc} = v_{0d}/v_{ec}$) e o ganho comum-diferencial $A_{cd} = v_{0c} / v_{ed}$),mas se o amplificador for simétrico estes ganhos serão iguais a zero.

O par diferencial merece uma atenção especial tendo em vista a sua larga aplicação, principalmente, em projetos de circuitos integrados analógicos e também em porta lógicas *ECL*. Para isto vamos dividir a nossa análise deste amplificador em uma análise para grandes sinais e uma análise para pequenos sinais.

- **Análise para grandes sinais (Característica de transferência DC)**

Usaremos a expressão que relaciona a corrente de coletor com a tensão v_{be} do transistor bipolar. Além disso, vamos supor que os transistores são idênticos. Assim,

$$I_C = I_S \, exp V_{BE} / V_T \quad ou \quad V_{BE} = V_T \, ln \, I_C / I_S$$

Da figura A.13.1 temos,

$$V_{BE1} = V_{e1} - Vx = V_T \, ln \, (I_{C1} / I_S) \qquad (A.13.1)$$

e

$$V_{BE2} = V_{e2} - Vx = V_T \, ln \, (I_{C1} / I_S) \qquad (A.13.2)$$

Combinando (A.13.1) com (A.13.2), resulta

$$I_{C1} / I_{C2} = exp \, (V_{e1} - V_{e2}) / V_T = exp V_{ed} / V_T \qquad (A.13.3)$$

Onde, $V_{ed} = V_{e1} - V_{e2}$

Temos ainda,

$$I_{E1} + I_{E2} = I_0 = 1/\alpha_{DC} [I_{C1} + I_{C2}\} \qquad (A.13.4)$$

Combinando as equações (A.13.3) e (A.13.4):

$$\boxed{I_{C1} = \alpha_{DC}\, I_0 /[1+\exp(-V_{e1}/ V_T)]} \qquad \text{(A.13.5)}$$

e

$$\boxed{I_{C2} = \alpha_{DC}\, I_0 /[1+\exp(V_{e2}/V_T)]} \qquad \text{(A.13.6)}$$

A voltagem de saída $V_0 = V_{02} - V_{01}$ pode ser encontrada, desde que,

$$V_{02} = V_{CC} - R_C\, I_{C2}$$

$$V_{01} = V_{CC} - R_C\, I_{C1}$$

Então

$$\boxed{V_0 = \alpha_{DC}\, I_0\, R_C \tanh V_{ed}/V_T} \qquad \text{(A.13.7)}$$

As figuras A.13.2 e A.13.3 abaixo mostram a dependência I_{C1} , I_{C2} e V_0 com $V_{ed.}$

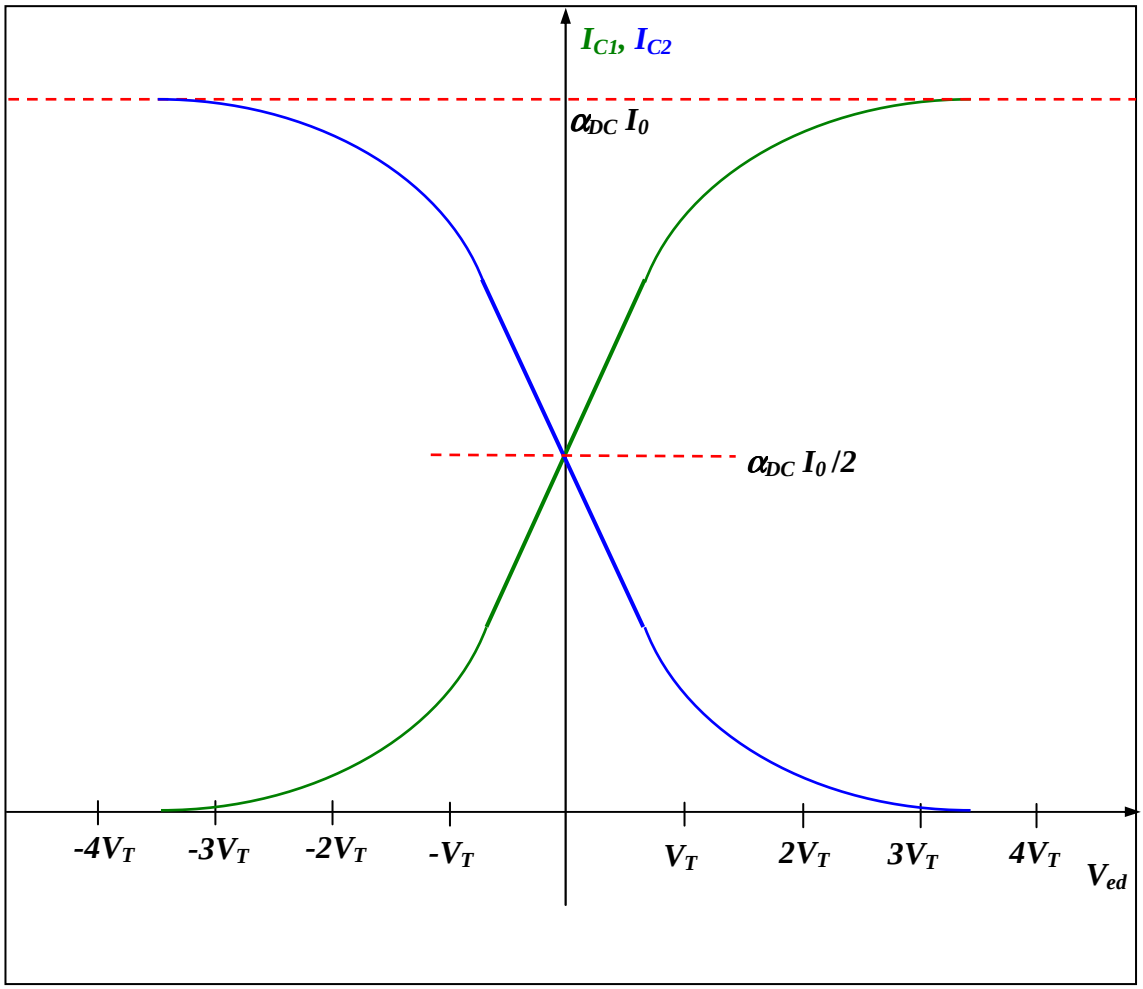

Figura A.13.2 Correntes de saída em função da tensão diferencial de entrada

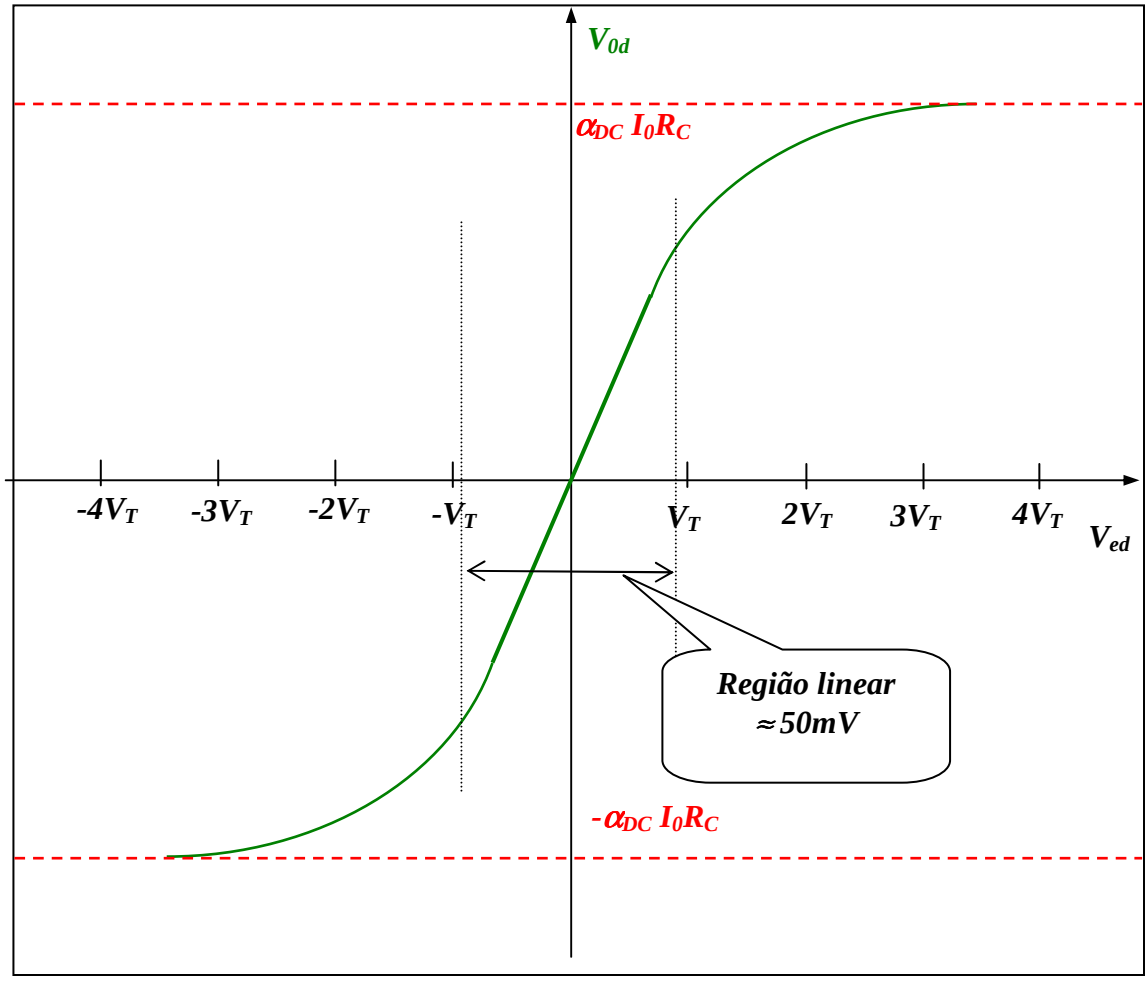

Figura A.13.3 Voltagem de saída em função da tensão diferencial de entrada

Dois fatores são importantes notar aqui.

1. ***Somente uma faixa de ≈50mV da tensão entrada é linear;***
2. ***Quando a tensão diferencial de entrada é zero a saída é zero.***

- **Análise para pequenos sinais**

Com o objetivo de mostrar que é importante explorar uma característica particular de um certo circuito faremos a análise do amplificador explorando a simetria do circuito e utilizando o **conceito de meio circuito.**

Antes de realizarmos esta análise vamos mostrar que quaisquer dois sinais podem ser expresso em função de suas componentes diferencial e comum, ou seja, um sinal diferencial e um de modo comum. Se não vejamos.

Como vimos anteriormente o sinal de modo diferencial (ou simplesmente, diferencial) de entrada é expresso por:

$$v_{ed} = v_{e1} - v_{e2}$$

E o sinal de modo comum de entrada é expresso por:

$$v_{ec} = (v_{e1}+v_{e2})/2$$

Estas equações podem ser invertidas para expressarmos v_{e1} *e* v_{e2} em função de v_{ed} *e* v_{ec}.

$$v_{e1} = v_{ed}/2 + v_{ec}$$

e

$$v_{e2} = -v_{ed}/2 + v_{ec}$$

Da mesma forma as voltagens de saídas podem ser expressa por:

$$v_{01} = v_{0d}/2 + v_{0c}$$

e

$$v_{02} = -v_{0d}/2 + v_{0c}$$

O significado físico destas variáveis pode ser entendido redesenhando o circuito do amplificado diferencial e mostrado abaixo. Note que o v_{ed} é a diferença entre as duas entradas, enquanto v_{0c} é média das duas entradas.

Todas estas variáveis estão relacionadas por:

$$v_{0d} = A_d\, v_{ed} + A_{c\text{-}d}\, v_{ec} \qquad e \qquad v_{0c} = A_{d\text{-}c}\, v_{ed} + A_c\, v_{ec}$$

Onde A_d é o ganho modo diferencial, $A_{c\text{-}d}$ é o ganho modo comum-diferencial, $A_{d\text{-}c}$ é o ganho modo diferencial-comum e A_c é o ganho modo comum. A simetria do circuito causa $A_{c\text{-}d} = A_{d\text{-}c} = 0$. Assim,

$$v_{0d} = A_d\, v_{ed} \qquad \text{e} \qquad v_{0c} = A_c\, v_{ec}$$

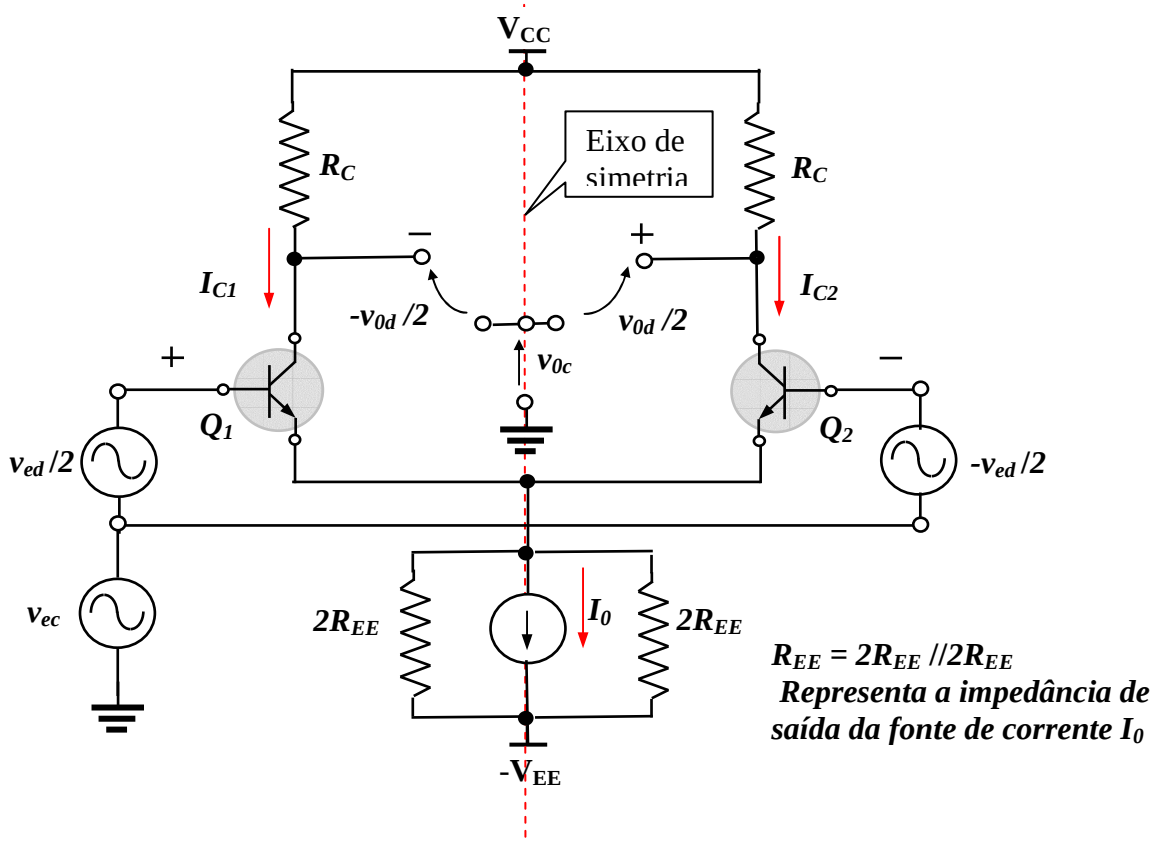

Figura A.13.4 Amplificador diferencial com os sinais de entrada e saída, decompostos em suas componentes, diferencial e de modo comum.

Dada a simetria deste circuito podemos determinar as respostas (ganhos) do circuito para um sinal puramente diferencial e puramente de modo comum separadas, e superpor os resultados.

Resumindo, para calcular os ganhos diferencial, A_d e de modo comum, A_c, vamos inicialmente aplicar uma entrada puramente diferencial assim**,**

$$\boldsymbol{v_{ec} = 0 \quad \text{e portanto } v_{0c} = 0}$$

Em seguida aplicamos uma entrada puramente de modo comum, ou seja,

$$\boldsymbol{v_{ed} = 0 \quad \text{e portanto } v_{0d} = 0}$$

Para calcular o ganho diferencial redesenhamos a figura A.13.4 do amplificador diferencial e substituímos os transistores pelos seus modelos. Assim

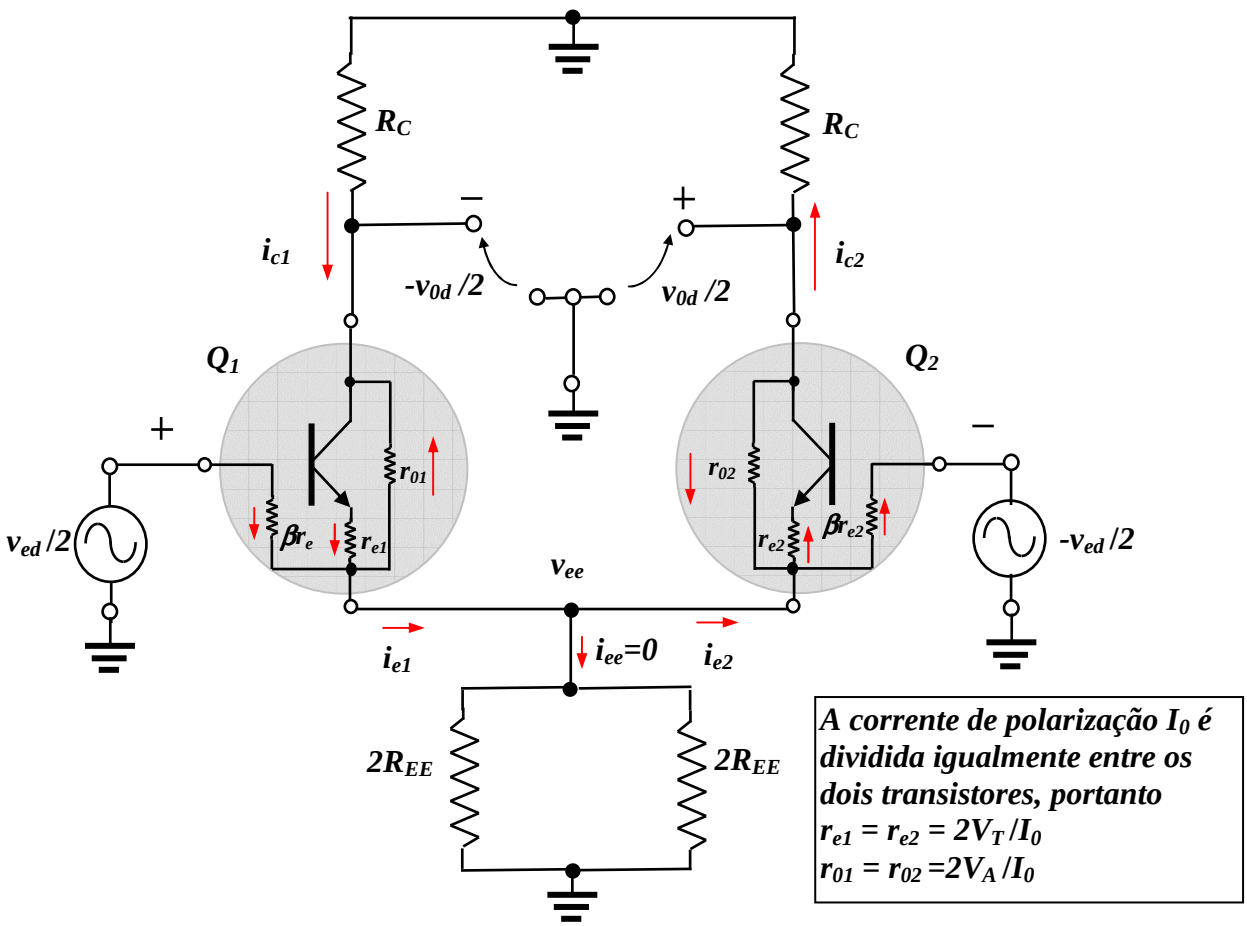

Figura A.13.5 Circuito equivalente para pequenos sinais do amplificador diferencial para sinais puramente diferenciais

Note que dado a simetria a corrente i_{e1} é igual e no mesmo sentido da corrente i_{e2}, portanto,

$$i_{ee} = 0$$

Como conseqüência a tensão sobre os resistores R_{EE} não varia, isto é,

$$v_{ee} = 0\text{V}$$

Desta forma podemos conectar os emissores dos transistores no ponto comum e redesenhar apenas a metade do amplificador diferencial como mostra a figura A.13.6 abaixo.

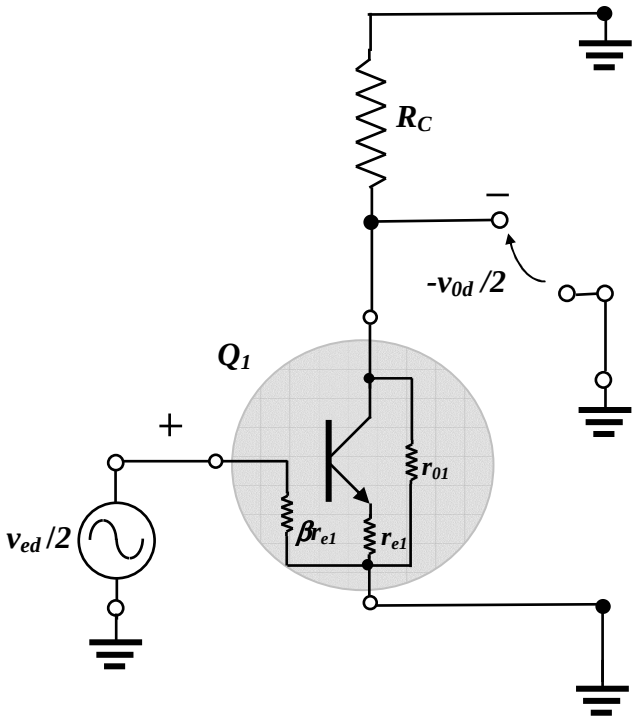

Figura A.13.6 Circuito equivalente para pequenos sinais da metade esquerda do amplificador diferencial para sinais puramente diferenciais.

Ora, este circuito já conhecido, um amplificador emissor comum, cujo ganho de tensão, A_v é dado por:

$$A_v = -v_{0d}/2 \;\; v_{ed}/2 \;\; = -v_{0d} \;\; v_{ed} \;\; = -A_d = -Z_0/r_{e1}$$

Portanto,

$$\boxed{A_d = Z_0/r_{e1}} \qquad \text{(A.13.8)}$$

onde $Z_0 = R_C // r_{01}$

Ou seja, o ganho diferencial do amplificador diferencial é igual ao ganho (em módulo) de um amplificador emissor comum.

Para calcular o ganho de modo comum, agora vamos aplicar um sinal puramente de modo comum na entrada do amplificador como mostrado na figura A.13.7 abaixo.

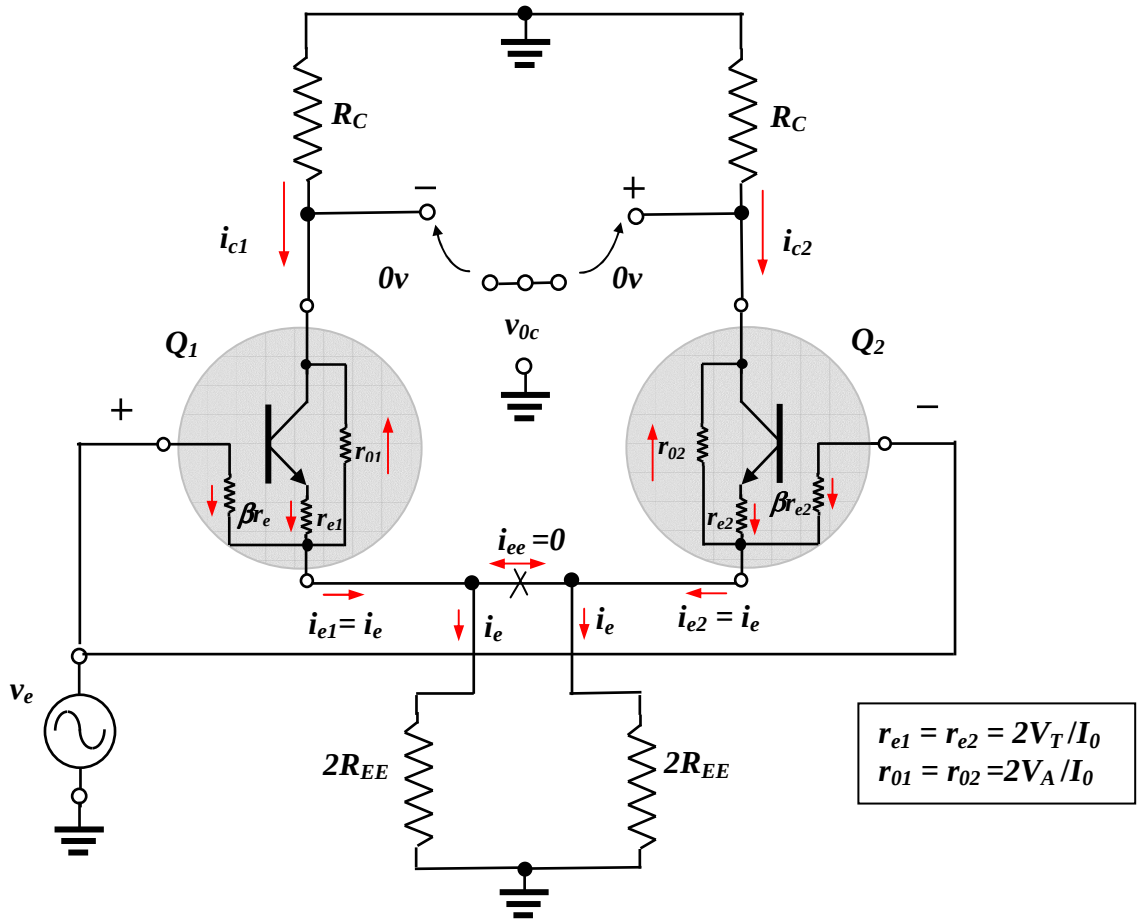

Figura A.13.7 Circuito equivalente para pequenos sinais do Amplificador diferencial para sinais puramente de modo comum.

Note que dado a simetria a corrente i_{e1} é igual e em sentido contrário a corrente i_{e2}, portanto

$$i_{ee} = 0$$

Como conseqüência as duas metades do amplificador diferencial podem ser separadas do eixo de simetria.

A metade do lado esquerdo é mostrada na figura A.13.8 abaixo.

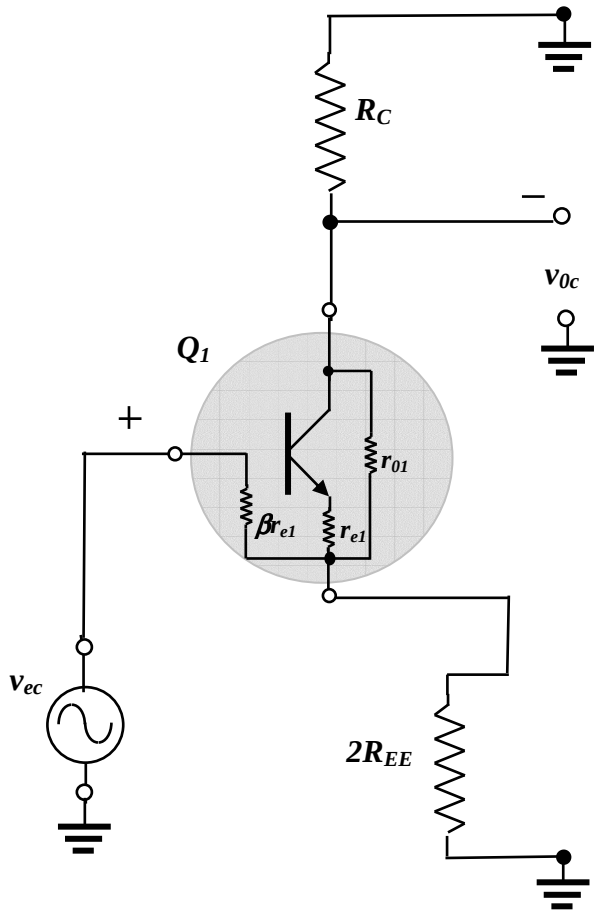

Figura A.13.8 Circuito equivalente para pequenos sinais da metade esquerda do Amplificador diferencial para sinais puramente de modo comum.

Ora, este circuito também já conhecido, um amplificador com resistor no emissor, cujo ganho de tensão, A_v é dado por (desprezando-se r_{02})

$$A_v = v_{0c} / v_{ec} \approx - R_C /(2R_{EE} + r_{e1})$$

portanto,

$$\boxed{A_c \approx -R_C /(2R_{EE} + r_{e1})} \qquad \text{(A.13.9)}$$

Ou seja, o ganho de modo comum do amplificador diferencial é igual ao ganho (em módulo) de um amplificador com resistor de emissor.

A razão de rejeição de modo comum, *CMRR* é dada por:

$$CMRR = /A_d/A_c/ = [R_C // r_{01}]\ R_C /(2R_{EE} + r_{e1}) \quad se\ \ R_C >> r_{01}$$

$$\boxed{CMRR \approx 1 + 2R_{EE} / r_{e1}} \qquad \text{(A.13.10)}$$

A equação (A.13.10) diz que quanto maior a impedância de saída da fonte de corrente I_0 maior a rejeição de modo comum do amplificador.

Princípio básico da porta ECL

A lógica acoplada por emissor baseia-se no uso do par diferencial operando como uma chave de corrente. Apenas para comodidade repetiremos na figura A.13.9 o par diferencial como elemento básico da família ECL.

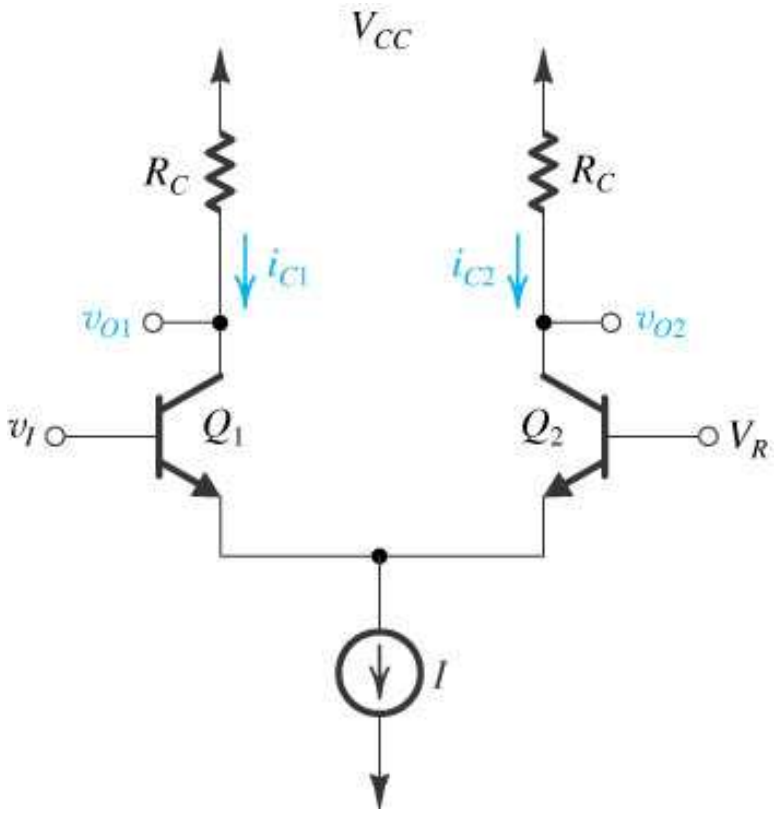

Figura A.13.9 O elemento básico da família ECL é um par diferencial, e V_R é uma tensão de referencia e v_I é uma entrada da porta.

Do ponto de vista lógico, o par diferencial executa uma função de inversão em v_{O1} e não inversão em v_{O2}. Os níveis lógicos de saída são $V_{OH} = V_{CC}$ *e* $V_{OL} = V_{CC} - R_C I$ e, portanto, a excursão lógica de saída é de $R_C I$.

Algumas observações podem ser feitas neste circuito tendo em vista a revisão feita anteriormente.

1. **A característica diferencial nesse circuito o faz menos suscetível a ruídos. Observe que um sinal de ruído ou uma interferência, normalmente, tende a afetar igualmente ambos os lados do par diferencial e, portanto, não resulta em um chaveamento indesejado. Essa é a propriedade de rejeição de modo comum do par diferencial.**
2. **A corrente drenada da fonte de alimentação permanece constante durante o chaveamento. Logo, diferente das portas CMOS e TTL estudadas adiante, não ocorrem picos de corrente no barramento de alimentação de um circuito ECL, eliminando-se uma fonte de ruído extremamente nociva em circuitos digitais. Essa é uma vantagem muito importante, visto que circuitos ECL operam com baixas excursões de saída, e assim, possuem baixas margens de ruído.**
3. **Ambos os níveis de saída são definidos em relação a V_{CC} e podem ser feitos efetivamente estáveis impondo-se $V_{CC} = 0$, ou em outras palavras, utilizando uma fonte negativa de tensão, com V_{CC} conectado ao terra. Nesse caso, $V_{OH} = 0$ e $V_{OL} = -R_C I$.**
4. **De alguma forma, devem-se fazer os níveis de saída compatíveis com os níveis de entrada, possibilitando uma porta acionar a outra. Como veremos adiante, portas ECL empregam um circuito de deslocamento de nível que faz os níveis de saída centrarem em torno de V_R.**
5. **A disponibilidade de saídas complementares simplifica consideravelmente o projeto lógico com ECL.**

As famílias ECL

Há atualmente duas formas populares de ECL – chamadas ECL 10K e ECL 100K. A ECL 100k tem por característica um tempo de atraso da ordem de 0,75 ns e dissipa cerca de 40 mW/porta, com um produto atraso-potência de 30 pJ. Embora sua dissipação de potência seja relativamente alta, a série 100K tem o menor tempo de atraso de porta disponível.

A série ECL 10K é ligeiramente mais lenta; tem por característica um tempo de atraso na propagação de 2 ns e uma dissipação de 25 mW, com um produto atraso-potência de 50 pJ. Embora o valor *DP* seja maior que o obtido com a série 100K, a série 10K é mais fácil de ser usada. Isso se deve ao fato de os tempos de subida e de descida dos sinais de pulso (*slew rate*) serem feitos deliberadamente maiores, reduzindo, portanto, o acoplamento entre sinais de conexões adjacentes (conhecidos como *crosstalk*). A ECL 10K tem uma velocidade de borda de cerca de 3,5 ns; compare com a ECL 100K, que tem aproximadamente 1 ns.

O circuito da porta básica

O circuito da porta básica da família ECL 10K é mostrado na figura A.13.10. Esse circuito consiste em três partes. A malha, composta por Q_1, D_1, D_2, R_1, R_2 *e* R_3, gera uma tensão de referência V_R cujo valor à temperatura ambiente é -1,32 V. Como será mostrado, o valor dessa tensão de referência acompanha a variação da temperatura de modo predeterminado, mantendo assim quase constante as margens de ruído. Além disso, a tensão de referência V_R é relativamente insensível às variações na tensão da fonte de alimentação V_{EE}.

A segunda parte, e principal, é o amplificador diferencial formado por Q_R e por Q_A ou Q_B. Esse amplificador diferencial não é polarizado com uma fonte de corrente constante, como foi feito na figura A.13.9, mas com um resistor R_E conectado ao terminal negativo da fonte de alimentação V_{EE}.

A terceira parte do circuito é composta por dois seguidores de emissor (coletor comum), Q_2 e Q_3. Os seguidores de emissor não têm cargas no chip onde está a porta, desde que em muitas aplicações de circuitos lógicos de altas velocidades, a porta de saída aciona uma linha de transmissão terminada em outro chip (ou pelo menos noutro pino do mesmo chip), como indicado na figura A.13.11.

Os seguidores de emissor têm duas funções. Primeira, deslocar o nível dos sinais de saída por uma queda V_{BE}. Estes níveis estão centrados em torno do nível de referência (V_R = -1,32 V), o que significa que uma porta pode acionar outra.

A segunda função dos seguidores de emissor é deixar a porta com uma baixa impedância de saída e com uma corrente alta de saída, necessária para a carga das capacitâncias.

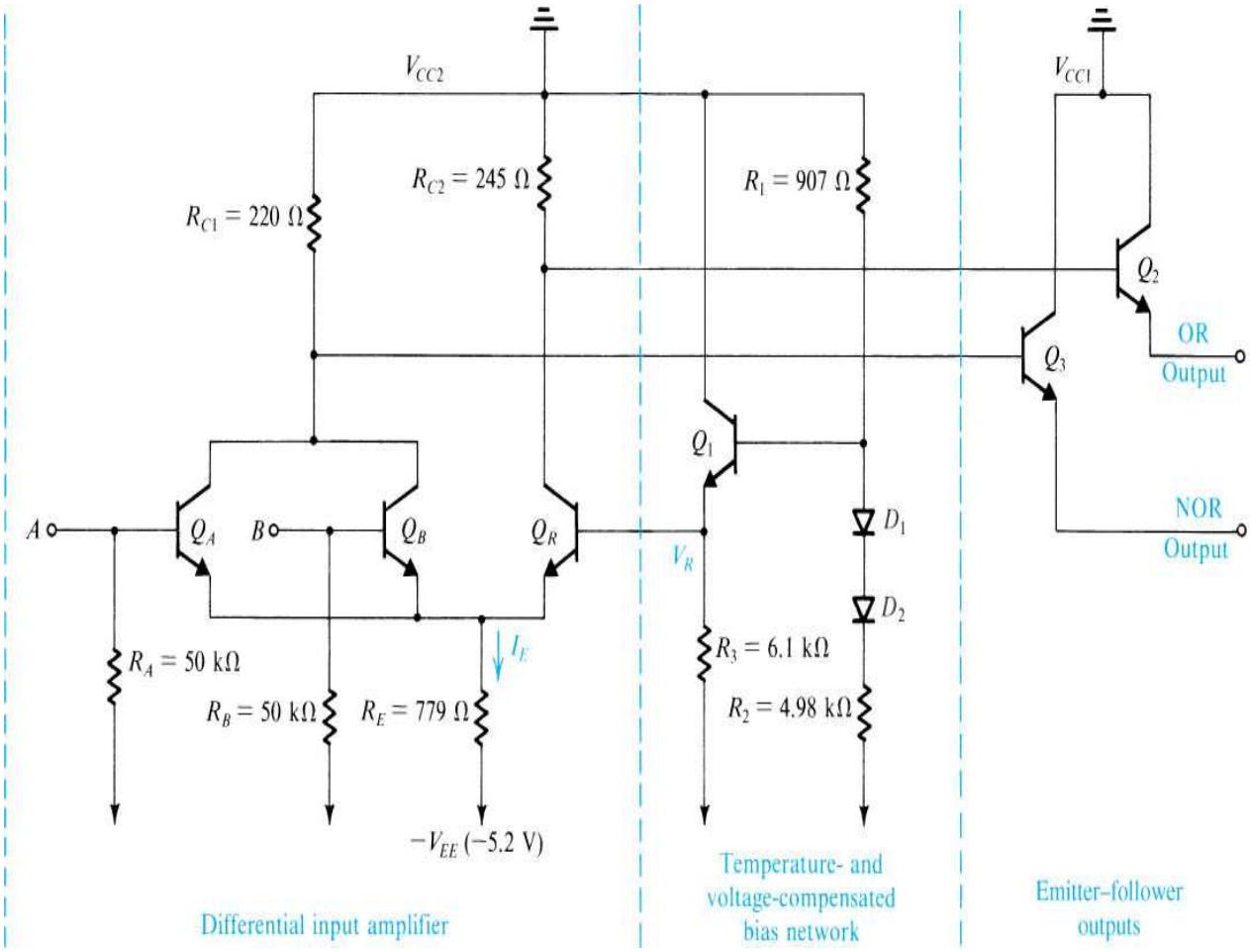

Figura A.13.10 Circuito básico de uma porta lógica da família ECL 10K.

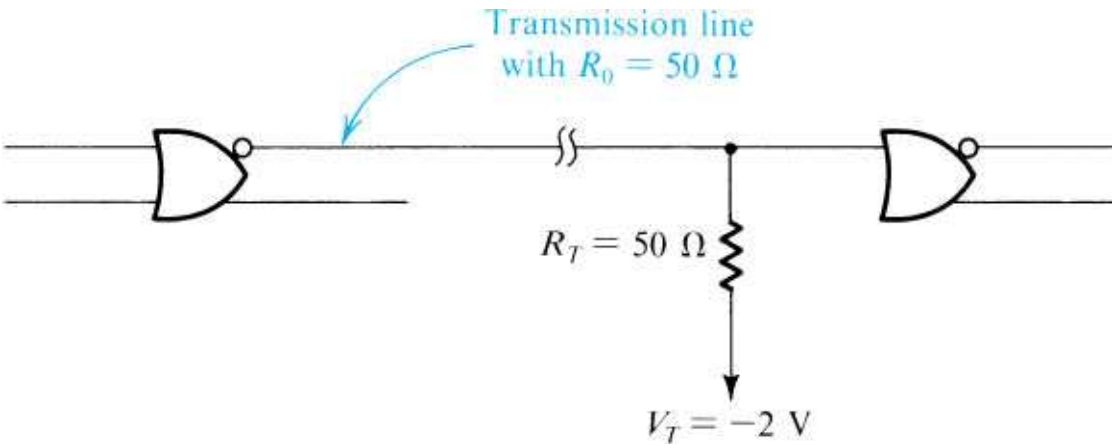

Figura A.13.11 A forma correta de conectar portas lógicas de alta velocidade como a ECL.